

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平7-235680
【公開日】平成7年9月5日(1995.9.5)
【年通号数】公開特許公報7-2357
【出願番号】特願平6-25800
【国際特許分類第7版】

H01L 29/86
21-336
21-265

【FI】

H01L 29/78 31: P
21-265 G
29/78 31: G

【手続補正書】

【提出日】平成13年2月23日(2001.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】 薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項1】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンのレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテーパー状にパターニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜をその底面端部が広がったテーパー状にパターニングする工程と、この導電膜のパターンをマスクとして前記半導体層に所定濃度の不純物を導入する工程と、前記導電膜の側面をエッチングしてゲート電極を形成する工程と、前記半導体層に、前記ゲート電極をマスクとして前記所定濃度よりも低い濃度の不純物を導入する工程と、を具備することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 前記導電膜をパターニングする工程と、前記ゲート電極を形成する工程では同一のマスクを用い

ることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 前記半導体層を島状に形成する工程の前に、前記絶縁基板上にバッファ層を形成する工程を具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【請求項5】 前記薄膜トランジスタの製造方法において、前記ゲート電極をレーザ活性化する工程をさらに具備することを特徴とする請求項1乃至2のいずれかに記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 プラズマ、発光ダイオード、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】 これらの中で、非晶質であるアモルファス・シリコン(a-Si)または結晶を持ったシリコン・ポリシリコン(poly-Si)を用いた薄膜トランジスタ(TFT)をスイッチング素子としてマトリクス上に配した液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】 特にpoly-Siを用いたTFTは、a-Si-TFTよりも移動度が10から100倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路にpoly-Si-TFTを用いて、画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDの研究開発

が盛んに行われている。

【00005】p-channel-Si-TFTは、n-Si-TFTに比べ移動度は高いが、他方リーク電流（TFTがOFFのとき流れてしまうリーク電流）がn-Si-TFTに比べ高いという難点がある。駆動回路を構成する場合には、特に問題にならないが画素スイッチングに用いた場合は、画質劣化の原因となる。

【00006】そのため、画素に用いるp-channel-Si-TFTには、さまざまに構造上に工夫をこらしたものがある。その一例として、オフセット構造を持ったTFTを製造する場合、ソースドレイ領域、オフセット領域を形成するために、フォトリソグラフィ工程が2回必要である。従って露光のために少なくとも2つのマスクが必要であり、それに伴うPEP工程等の露光工程も必要となり、工程が煩雑化するという問題があった。

【00007】

【発明が解決しようとする課題】従来の薄膜トランジスタの製造方法は、リーク電流の低減化に有利なオフセット構造を有するものの、少なくとも2つのマスクを必要とする2回の露光工程が必要で工程が煩雑化する問題があった。

【00008】本発明は上記問題点に鑑みてなされたもので、1回の露光工程でオフセット構造、あるいはLDD構造を形成でき、製造工程数を簡略化した薄膜トランジスタの製造方法の提供を目的とする。

【00009】

【課題を解決するための手段】上記目的を達成するために絶縁基板上に半導体層を島状に形成する工程と、この半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に導電膜を形成する工程と、前記導電膜上に所定パターンレジストマスクを形成する工程と、前記導電膜をその上面が前記レジストマスクに従い、底面が広がったテーパー状にパターンニングする工程と、この導電膜をマスクとして前記半導体層に不純物を導入する工程と、前記レジストマスクを用いて前記導電膜の側面をエッチングしてゲート電極を形成する工程とを具備することを特徴とする薄膜トランジスタの製造方法を提供するものである。

ここで、半導体は4族半導体や3-4族等の加工半導体であっても良いが、液晶表示装置に使用した際の画質向上面からシリコンが好ましい。

【00010】

【作用】透明絶縁性基板上に、薄膜トランジスタを製造する際、ゲート電極のエッチング工程、不純物注入工程、再エッチング工程を、同一のマスクで行うことにより、サブミクロンあるいはマイクロオーダーのオフセット領域の製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【00011】

【実施例】以下、本発明に詳細を図示の実施例により説明する。（実施例1）実施例1を図1に従い説明する。

図1にはnチャネルコプラナ型TFTの製造工程を示している。

【00012】最初にガラス基板・石英基板等からなる透光性絶縁基板101上にCVD法によりp-Si膜となるSiのx膜102を100nm程度被着する。さらにCVD法によりn-Si膜103を50nm被着し、450度で1時間炉アニールを行った後、例えばAr₂エキシマレーザアニールによりn-Si膜103を溶融再結晶化させp-Si膜103を形成する。その後、フォトリソグラフィ等によりp-Si膜103をパターンニング、エッチングし、島状に加工する（図1（a））。

【00013】次に、CVD法によりゲート絶縁膜としてSiのx膜104を100nm被着した後、ゲート電極として例えば燐ドーパ-n-Si膜105を400nm被着する（図1（b））。

【00014】フォトリソグラフィによりレジスト、感光性ポリイミド106等をパターンニングした後に、ゲート電極107aを例えばCDE法等によりθ=25°の角度がつくようにエッチングを行う（図1（c））。

【00015】次にレジスト、ポリイミド等の剥離を行わず、イオン注入、イオンドーピング法による燐を注入する。イオン注入法の場合、例えば加速電圧は100keV、ドーピング量は5×10¹⁵cm⁻²とする。燐イオンは上部にゲート電極が存在しないソース・ドレイ領域108には燐イオンがピートーでされる。この領域に電氣的に隣接してゲート電極の端部を通過して燐イオンが注入される領域、つまりライトドープされた領域109、さらに隣接して膜厚が20nm以上あるテーパー部直下の活性層領域、すなわちイントラリンク領域110のままである領域111が得られる（図1（d））。

【00016】次にレジスト、ポリイミド等の剥離を行わず、CDE法によるエッチング時に用いたままの状態ですらに、RIE法の異方性エッチング時のマスクとして使用する。RIE法によりθ=87度のテーパー角でゲート電極を再エッチングすると約600nmのオフセット領域110と、約400nmのLDD領域111が形成できる。このときの活性層及びゲート電極の状態について記載する。ゲート電極の再エッチングによりゲート電極107b長は短くなり、それにともないチャネル領域はやや短くなる。チャネルに隣接して前記ソース・ドレイ領域（LDD）領域109、イントラリンク領域（オフセット領域）110がソース・ドレイ領域の一部として加わる（図1（e））。

【00017】その後レジスト等の剥離を行った後、APCVD法により層間絶縁膜112を400nm程度被着する（図1（f））。次に、例えばAr₂エキシマレーザアニールによりソース・ドレイ領域、ゲート電極107bの活性化を行う。この時のレーザエネルギーは約200mJ/cm²とすれば、十分に活性化ができ

る。レーザ活性化法を用いた場合不純物の拡散長は、たかだか60nm程度であるので約340nm(0.5μm)のオフセット領域110が形成される。さらに、しDD領域109とオフセット領域110を同時に溶融させるために、良好なコンタクトを形成できることも、リーク電流低減に寄与している(図1(g))。

【0018】さらに、フォトリソグラフィによりコンタクトホールHを開孔し(図1(h))、ソース・ドレイン電極として例えばA1膜をスパッタリング法により成膜する。フォトリソグラフィ等によりソース・ドレイン電極112にパターンニングして、nチャネルコプラナ型TFTが完成する(図1(i))。

【0019】ここでゲート電極107a、107bのテーパ加工について説明を加える。ゲート電極をテーパエッチングする際、図2に示したようにゲート電極107aのテーパ角を θ_1 度とする。次に、レジスト等の剥離を待たずそのままゲート電極107aをマスクとして不純物を注入する。さらに、前記ゲート電極107aエッチング時に用いたレジスト等をマスクとし、ゲート電極107aのエッチ部が垂直あるいは垂直に近い角度(θ_2)になるように再エッチングを行ってゲート電極107bを形成する。この時、 $\theta_2 > \theta_1$ なる条件でエッチングすることは、言うまでもない。ゲート電極107a、ゲート絶縁膜104を通過して不純物が注入される領域の長さ(L_1)と、チャネル領域に隣接したイントロダクションポリシリコンのいわゆるオフセット領域の長さ(L_0)の制御は、ゲート電極107a、107bの膜厚、イオン加速電圧、ゲート電極テーパ部の角度(θ_1 、 θ_2)等によって制御する。この時の活性層103中の平均不純物密度を図3に示す。このように、1度の不純物注入工程で、ゲート電極端107bからの距離により、高不純物濃度領域108($>L_1$)、低不純物濃度領域109($L_1 > L_0$)、オフセット領域110($L_0 > 0$)の3領域を形成することができる。

【0020】また、ゲート電極を上記条件($\theta_2 > \theta_1$)で2回でエッチングした後、ゲート電極をマスクとして、さらに不純物を低濃度で注入するとしDD構造をとることもできる。

【0021】このとき、不純物を含まないp+poly-Si領域(オフセット領域)104の長さ(L)と、低不純物濃度領域105の長さ(L_0)の比(L/L_0)が0.1以上であることが高い信頼性を得ることから好ましい。

【0022】この製造方法によれば、オフセット領域を形成するために新たなマスクを必要としない。従ってその分の余分のP/E工程等がなくなり、大幅に工程を簡略化することができる。

【0023】本発明のTFTにおいては、容易にオフセット構造を形成することができリーク電流を 1×10^{-10}

A程度に低減でき、ゲート電極にテーパがついているにも関わらず、前記ゲート電極直下のゲート絶縁膜中に陽イオンの注入されずP/Eの信頼性が向上する。

(実施例2) 本実施例が、実施例1と異なる点は、半導体がSi以外の半導体である化合物半導体のGaAsであり、ゲート電極がWNxのショットキー電極になったことにある。この場合、実施例1の様なゲート絶縁膜は必要ないので、Si基板上にGaAs層を形成しておき、このGaAs層上にさらに形成したテーパ形状(底面が広がった台形)のゲート電極から不純物をイオン注入してソース・ドレイン領域を形成し、その後、ゲート電極の側面を実施例1と同様にエッチングする。エッチングした下部のGaAs層がオフセット領域となる。これによって実施例1とは材料系は異なるもののGaAsを用いたコプラナ型TFTをオフセット領域を持った構造で実施例1と同様に形成することができる。

【0024】なお、本発明では、コプラナ型TFTについて説明したが、本発明の主旨を逸脱しない範囲において、さまざまに変形することができる。例えばソース・ドレイン領域、チャネル領域よりもゲート電極が上にくるTFT、例えばスタガ型TFTについても同様に実施することができる。また、nチャネルまたはpチャネルタイプのTFTに適用することができるのは言うまでもない。ゲート電極材料については、高融点金属、その経過物、窒化物などが使用でき、また、ゲート絶縁膜については、窒化シリコン、窒化酸化シリコン等が使用でき、さらには、ソース・ドレイン領域、チャネル領域については、多結晶、非晶質の各種半導体を使用することができる。

【0025】

【発明の効果】本発明により、オフセット領域を形成するためのフォトリソグラフィ工程を削除し、製造工程を簡略化することができる。それによりコストの低下、歩留まりの向上が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例を工程順に示した断面図。

【図2】 本発明の実施例の要部拡大図。

【図3】 本発明の実施例を説明する図。

【符号の説明】

- 101 基板
- 102 パッド層
- 103 多結晶シリコンチャネル
- 104 ゲート絶縁膜
- 107a、107b ゲート電極
- 108 ソース・ドレイン領域
- 109 低不純物濃度領域
- 110 オフセット領域
- 111 層間絶縁膜